

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-203388

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

G11C 11/15
G11C 11/14
H01L 27/105
H01L 43/08

(21)Application number : 2001-331484

(71)Applicant : INFINEON TECHNOLOGIES AG

(22)Date of filing : 29.10.2001

(72)Inventor : FREITAG MARTIN
LAMMERS STEFAN
GOGL DIETMAR
ROEHR THOMAS

(30)Priority

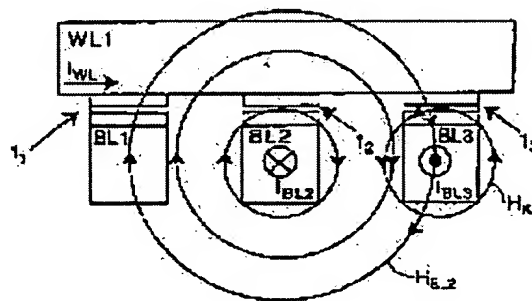
Priority number : 2000 10053965 Priority date : 31.10.2000 Priority country : DE

(54) METHOD FOR OBSTRUCTING UNDESIRABLE PROGRAMMING IN MRAM DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for obstructing undesirable programming in a MRAM device so that disablement of programming owing to scattered magnetic field of a memory cell being adjacent to a selection memory cell can be surely and simply obstructed.

SOLUTION: A current IBL2 flowing in a bit line BL2 generates a scattered magnetic field in a MTJ memory cell I3 in an intersection part of a bit line BL3 and a word line WL1. Then an adequate compensation current IBL3 is made to flow in the bit line BL3 to suppress influence of this scattered magnetic field, scattered magnetic field in the MTJ memory cell I3 can be canceled by compensation magnetic field generated by this compensation current IBL3.



LEGAL STATUS

[Date of request for examination] 29.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-203388

(P2002-203388A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 1 1 C 11/15		G 1 1 C 11/15	5 F 0 8 3
	11/14	11/14	E
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2001-331484(P2001-331484)

(22) 出願日 平成13年10月29日 (2001.10.29)

(31) 優先権主張番号 1 0 0 5 3 9 6 5 . 3

(32) 優先日 平成12年10月31日 (2000.10.31)

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 501209070

インフィネオン テクノロジーズ アクチ
エンゲゼルシャフト

ドイツ連邦共和国 81669 ミュンヘン
ザンクト マルティン シュトラッセ 53

(72) 発明者 マルティン, フライターク

ドイツ連邦共和国 81543 ミュンヘン
ウンテレ ヴァイデンシュトラッセ 19

(74) 代理人 100080034

弁理士 原 謙三 (外3名)

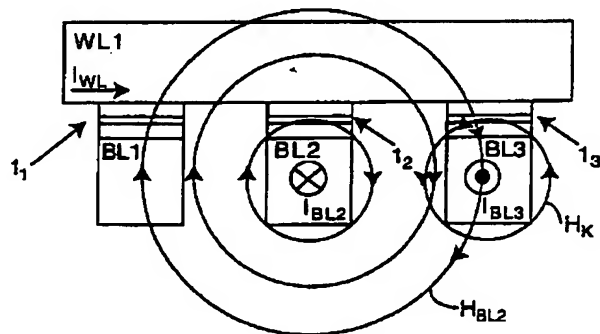
最終頁に続く

(54) 【発明の名称】 MRAM装置における、望ましくないプログラミングを阻止する方法

(57) 【要約】

【課題】 散乱磁場による、選択メモリセルに隣接しているメモリセルのプログラミング不能を、確実に且つ簡単に阻止できるような、MRAM装置における望ましくないプログラミングを阻止する方法を提供する。

【解決手段】 ビット線BL2を流れる電流 I_{BL2} は、ビット線BL3とワード線WL1との交差部にあるMTJメモリセル13に散乱磁場を発生させる。そこで、本発明では、この散乱磁場の影響を抑制するため、ビット線BL3に適当な補償電流 I_{BL3} を流し、この補償電流 I_{BL3} により発生する補償磁場によって、MTJメモリセル13における散乱磁場を打ち消すようになっている。



【特許請求の範囲】

【請求項1】メモリスルフィード内のメモリスル

(1; 1₁, 1₂...) がワード線(WL)またはプログラミング線(PRL)とビット線(BL)との間の少なくとも1つの面内にあるMRAM装置における、望ましくないプログラミングを阻止する方法であって、

選択対象のメモリスル(1₂)に属するワード線(WL₁)とビット線(BL₂)とにプログラミング電流(I_{WL}, I_{BL2})を送り、プログラミング電流(I_{WL}, I_{BL2})が、選択対象のメモリスル(1₂)に隣接している少なくとも1つのメモリスル(1₃, 1₅)にも、そこで散乱磁場として作用する磁場を発生させるようにした前記方法において、

ワード線あるいはプログラミング線(PRL)、またはビット線(BL₃, BL₅)、または前記隣接している少なくとも1つのメモリスル(1₃, 1₅)の別個の線(SL)に、散乱磁場に反作用する補償磁場を提供する補償電流を流すことを特徴とする方法。

【請求項2】補償電流を、選択対象のビット線(BL₂)の次の次のビット線(BL₄)に印加することを特徴とする、請求項1に記載の方法。

【請求項3】補償電流をプログラミング電流よりも弱く設定することを特徴とする、請求項2に記載の方法。

【請求項4】補償電流を、多層系においてワード線またはビット線に複数の面内で印加することを特徴とする、請求項1から3までのいずれか1つに記載の方法。

【請求項5】補償電流の強さを自動調整回路により制御することを特徴とする、請求項1から4までのいずれか1つに記載の方法。

【請求項6】複数のメモリスルを有するMRAM装置に対するプログラミング方法であって、選択メモリスルに関わるプログラム配線に電流を流して磁場を発生させることで、その選択メモリスルのメモリ内容を書き換えるプログラミング方法において、

選択メモリスルの近傍に位置するメモリスルに関わるメモリ線に補償電流を流す工程を含み、この補償電流によって、選択メモリスルのメモリ線から発生する磁場を、選択メモリスル以外のメモリスルの位置において小さくするような補償磁場を発生させることを特徴とするプログラミング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリスルフィード内のメモリスルがワード線またはプログラミング線とビット線との間の少なくとも1つの面内にあるMRAM装置(MRAM構造; MRAM=magnetoresistiver Speicher磁気抵抗メモリ)における、望ましくないプログラミングを阻止する方法であって、選択対象のメモリスルに属するワード線とビット線にプログラミング電流

を送り、プログラミング電流が、選択対象のメモリスルに隣接している少なくとも1つのメモリスルにも、そこで散乱磁場として作用する磁場を発生させるようにした前記方法に関するものである。

【0002】

【従来の技術】図5は、ワード線WLと、これに対して垂直に延びているビット線BLとの間にあって、その交差部に配置されるいわゆるMTJメモリスル(MTJ=Magnetic Tunnel Junctionまたはmagnetischer Tunnelübergang)1を示す斜視図である。

【0003】MTJメモリスルは、軟磁性層(自由な方向に磁化される磁性層)WMLと、トンネルバリアー層TLと、硬磁性層(磁化方向の固定された磁性層)HMLとから成る多層系から構成されている。そして、硬磁性層HML内での磁化方向に対し、軟磁性層WMLの磁化方向を変化(または回転)させることにより、情報の蓄積を行うものである。

【0004】また、軟磁性層WML内の磁化方向の変化に必要な磁場は、ワード線WL内の電流I_{WL}とビット線BL内の電流I_{BL}とによって発生させる。これらの磁場は、ワード線WLとビット線BLとの交差部において重畳する。すなわち、両磁性層WML・HML内での磁化方向が等しいか、互いに平行であると、MTJメモリスル1は、低抵抗R_cを有する。これに対し、両磁性層WML・HML内での磁化方向が等しくないか、互いに反平行(非平行)であると、MTJメモリスル1は高抵抗R_cとなる(図6の等価回路を参照)。

【0005】なお、図5において、符号「R_c」の後ろに示した矢印↑または↓は、この抵抗変化を表している。また、この抵抗変化は、情報の蓄積に利用される。また、この構成では、電流I_{WL}・I_{BL}の少なくとも一方の方向を切換えることができれば、軟磁性層WML内の磁化方向を回転または変化させることが十分に可能である。

【0006】図6は、ビット線BLと、これに対して垂直に延びているワード線WLとの間にある、抵抗R_cとしてのMTJメモリスル1を、概略的に示す説明図であり、図5に示したMTJメモリスルの等価回路図である。

【0007】図5・図6からすぐに見て取れるように、MRAM装置(MRAM構造)では、それぞれ中間にMTJメモリスルを備えた複数の金属化系(Metallisierungssysteme)を積層させれば、かなり高い記憶密度を得ることができる。

【0008】このような積層に対しては、3つの異なるアレイバリエーションが可能である。これを図7ないし図9に概略的に示した。図7に示したバリエーションでは、個々のMTJメモリスル(抵抗によって示している)は、マトリックス(マトリックス構造)において、ワード線WLとビット線BLとの間に、直接に位置して

いる。このようなMRAM装置では、かなり寄生的な効果が生じる。これは、選択されたメモリセルでは（黒塗りした抵抗を参照）、選択されたワード線または選択されたビット線と接続されているメモリセルによる散乱電流の発生を回避できないからである。

【0009】図8・図9のアレイバリエーションの場合は、それぞれダイオード（図8）またはトランジスタ（図9）が、個々のMTJメモリセルに対して直列に配置されている。このアレイバリエーションは、かなりコスト高であり、特に図9のバリエーションにおいて顕著である。これは、ビット線BLに加えて、プログラミング線PRL、ゲート線GL、ソース線SLを設ける必要があるからである。

【0010】

【発明が解決しようとする課題】ところで、MRAM装置におけるメモリセルフィールドを、図7ないし図9に示したアレイバリエーションのいずれを用いて構築するにしても、対応するビット線BLとワード線WL（図9のアレイバリエーションではプログラミング線PRL）とによってメモリセルをプログラミングする場合、選択メモリセルのそれぞれに、電流 I_{BL} または（ワード線内の） I_{WL} を印加せねばならない。そして、その結果、これらの電流から生じる磁場によって、両線の交差個所において、選択MTJメモリセルをプログラミングすることができる。

【0011】図10は、この過程を概略的に示すものであり、ワード線WL1とビット線BL1、BL2、BL3との交差個所を示す説明図である。ここで、電流 I_{WL} がワード線WL1を流れ、電流 I_{BL2} がビット線BL2を流れるとすると、たとえば電流 I_{BL2} によって発生した磁場 H_{BL2} の影響は、ビット線BL2とワード線WL1との交差個所にあるMTJメモリセル 1_2 だけに及ぶのではない。すなわち、この磁場 H_{BL2} は、図10に概略的に示したように、ビット線BL1・BL3とワード線WL1との間にある、MTJメモリセル 1_1 ・ 1_3 にも作用する。

【0012】従って、MRAM装置においては、本来の選択MTJメモリセルの横にある（近接する）MTJメモリセルが、選択されたワード線またはビット線内の電流による散乱磁場により、適切にプログラミングされないことが十分に起こりうる。これは、プログラミング障害またはプログラム攪乱と呼ばれる。

【0013】これは特に、冒頭で述べた、多層系（多層系のメモリセル）を形成しているMRAM装置に言えることである。すなわち、複数レベルの導体軌道と、その間にあるMTJメモリセルとを備えた、一般的に望ましい、目標とする高密度メモリアレイに対して特に言えることである。このようなメモリセルアレイでは、この種のプログラミング障害またはプログラム攪乱は極めて望ましくないものである。

【0014】本発明は、上記のような従来の問題点を解決するために成されたものである。そして、その課題（目的）は、MRAM装置における、望ましくないプログラミングを阻止する方法において、散乱磁場による、選択メモリセルに隣接しているメモリセルのプログラミング不能を、確実に且つ簡単に阻止できる前記方法を提供することである。

【0015】

【課題を解決するための手段】上記の目的を達成するために、本発明の方法は、メモリセルフィールド内のメモリセルがワード線またはプログラミング線とビット線との間の少なくとも1つの面内にあるMRAM装置における、望ましくないプログラミングを阻止する方法であって、選択対象のメモリセルに属するワード線とビット線とにプログラミング電流を送り、プログラミング電流が、選択対象のメモリセルに隣接している少なくとも1つのメモリセルにも、そこで散乱磁場として作用する磁場を発生させるようにした前記方法において、ワード線あるいはプログラミング線、またはビット線、または前記隣接している少なくとも1つのメモリセルの別個の線に、散乱磁場に反作用する補償磁場を提供する補償電流を流す方法である。

【0016】また、この方法では、補償電流を、選択対象のビット線の次の次のビット線に印加するようにしてもよい。なお、この場合には、補償電流をプログラミング電流よりも弱く設定することが好ましい。

【0017】また、上記の補償電流を、多層系においてワード線またはビット線に複数の面内で印加するようにしてもよい。さらに、補償電流の強さを、自動調整回路により制御するようにしてもよい。

【0018】すなわち、上記の課題は、本発明によれば、冒頭で述べた種類の方法において、ワード線、プログラミング線またはビット線、または隣接している少なくとも1つのメモリセルの別個の線に、散乱磁場に反作用する（散乱磁場を打ち消す）ような補償磁場を発生させる（提供する）補償電流を流すことによって解決される。

【0019】つまり、本発明では、MRAM装置内においてプログラミング対象であるメモリセルに隣接しているメモリセルに対する散乱磁場の影響を、補償磁場を用いて回避するようになっている。

【0020】そして、本発明では、この補償磁場を、ビット線またはワード線、あるいは隣接しているメモリセルのプログラミング線、または危険性のあるメモリセルの横に延びている別個の線（ソース線等）に、補償電流を直接的に流すことにより発生させる。従って、本発明の方法によれば、危険性のあるメモリセルでのプログラミング障害またはプログラム攪乱を確実に防止できる。

【0021】また、本発明の方法は、多層系（多層系のメモリセル）に適用すると特に有利である。というの

は、多層系のメモリセルでは、個々の層が互いに近接しているために、散乱磁場の発生が特に問題となるからである。

【0022】また、本発明のプログラミング方法は、複数のメモリセルを有するMRAM装置に対するプログラミング方法であって、選択メモリセルに関わるプログラム配線に電流を流して磁場を発生させることで、その選択メモリセルのメモリ内容を書き換えるプログラミング方法において、選択メモリセルの近傍に位置するメモリセルに関わるメモリ線に補償電流を流す工程を含み、この補償電流によって、選択メモリセルのメモリ線から発生する磁場を、選択メモリセル以外のメモリセルの位置において小さくするような補償磁場を発生させる方法である。

【0023】この方法は、MRAM装置の選択メモリセルに関わるプログラム配線に適切な電流（プログラミング電流）を流して磁場を発生させ、この磁場によって、選択メモリセル（プログラミングの対象となるメモリセル）のメモリ内容（抵抗値）を更新する方法である。

【0024】ここで、プログラム配線とは、メモリセルに書き込みを行うための配線（ビット線やワード線、プログラミング線等）のことである。また、メモリセルに関わるプログラム配線とは、そのメモリセルのために配置されているプログラム配線のことである。

【0025】また、特に、この方法では、選択メモリセルの近傍に位置する非選択のメモリセルに関わるメモリ線に、補償電流を流すようになっている。そして、この補償電流によって、散乱磁場を、選択メモリセル以外のメモリセルの位置において小さくするような、補償磁場を発生するようになっている。ここで、散乱磁場とは、選択メモリセルのプログラム配線から発生し、他のメモリセルに漏れる磁場のことである。

【0026】また、メモリ線とは、メモリセルに関わる配線のことであり、上記のプログラム配線や、メモリ内容の読み取るための配線、調整等を行うための配線を含むものである。メモリ線としては、例えば、上記したビット線やワード線、プログラミング線、メモリセルにおけるトランジスタのゲート線やソース線等を挙げられる。

【0027】これにより、この方法では、散乱磁場の影響を補償磁場によって低減できるため、非選択メモリセルのメモリ内容を書き換えてしまうことを回避できる。このため、プログラミングエラー（正しくない（不本意な）プログラミング）を低減させることが可能となる。

【0028】また、この方法では、選択メモリセルに隣接するメモリセル（隣接メモリセル）に対する散乱磁場の影響を回避するために、この隣接メモリセルにさらに隣接するメモリセル（対向メモリセル）に関わるメモリ線に、補償電流を流すようにしてもよい。この方法では、隣接メモリセルを挟んで散乱磁場の発生源（プロ

ラム配線）とほぼ等距離にある対向メモリセルのメモリ線によって補償磁場を発生させられるため、散乱磁場の影響を抑制することが容易となる。

【0029】なお、この場合、補償電流を、プログラミングのための電流よりも弱く設定することが好ましい。これにより、補償磁場を小さくできるので、補償磁場によって対向メモリセル（およびその周囲のメモリセル）を不本意にプログラミングしてしまうことを回避できる。

10 【0030】また、この方法では、散乱磁場の影響を回避するために、複数の非選択メモリセルに関わる複数のメモリ線に、補償電流を流すようにしてもよい。このような方法は、MRAM装置が多層構造（メモリセルを積層させている構造）にある場合に、特に有効である。

【0031】また、この方法において、MRAM装置における各部位に対する散乱磁場をセンサーで測定し、測定値に基づいて、補償電流を流すメモリ線、および、補償電流の値（強さ・方向）を、自動調整回路によって決定（制御）するようにしてもよい。

20 【0032】また、この方法によってプログラミングするMRAM装置は、プログラム配線であるワード線とビット線との交点にメモリセルを有し、ワード線とビット線とでメモリセルを挟む構造であってもよい。また、ワード線とビット線とが、格子状に配置されているものでもよい。また、上記のプログラミング方法は、メモリセルとしてMTJメモリセルを有するMRAM装置に対し、好適に使用することが可能である。

【0033】

【発明の実施の形態】次に、本発明の実施形態を、図面を用いて詳細に説明する。図1は、MTJメモリセルのプログラミング障害が本発明の第1実施形態に従っていかに低減されるかを説明する概略図である。図2は、MTJメモリセルのプログラミング障害が本発明の第2実施形態に従っていかに低減されるかを説明する概略図である。図3は、多層系の斜視図である。図4は、多層系のプログラミング障害が本発明の第3実施形態に従っていかに低減されるかを説明する概略図である。なお、図1～4および既に説明した図5～9においては、互に対応している部品には同じ符号を使用する。

40 【0034】図1、図2および図4においては、図10と同様に、図面を簡潔にするため、磁場を円形に示している。なお、通常、ビット線およびワード線用のケーブルの横断面は長方形であり、しかも、ビット線およびワード線を流れる電流によって、種々の磁場が重畳した状態となる。このため、実際のMRAM装置においては、複雑な磁場分布が発生する。しかしながら、このような複雑な磁場分布においても、基本的には、磁場分布を円形とした場合と同様の条件が存在することとなる。

50 【0035】図1の実施形態では、図10の装置の場合と同様に、MTJメモリセル1₂が、ビット線BL2と

ワード線WL1との交差部においてプログラミングされるべきものとする。このプログラミングは、ワード線WL1のプログラミング電流 I_{WL} とビット線BL2のプログラミング電流 I_{BL2} とによって発生する磁場を重畳させることにより成される。

【0036】図1では、図10の場合と同様に、ビット線BL2内を図面の面内へ向けて流れるプログラミング電流 I_{BL2} によって発生する、磁場 H_{BL2} だけを図示した。この電流 I_{BL2} は、ビット線BL2とワード線WL1との交差部において、MTJメモリセル 1_2 の層系内に、強い平行磁場成分を発生させる。これにより、ワード線電流 I_{WL} により提供される磁場とともに、いわゆるMTJメモリセル 1_2 がプログラミングされる。

【0037】他方、ビット線BL2を流れる電流 I_{BL2} は、ビット線BL1およびビット線BL3とワード線WL1との交差部の領域にも散乱磁場を発生させる。この散乱磁場により、前記交差部にあるMTJメモリセル $1_1 \cdot 1_3$ は、望ましくない影響を受け、その結果、プログラミング障害または「プログラム攪乱 (Program Disturbs)」が発生する。

【0038】なお、このような障害は、MTJメモリセル 1_2 に隣接しているMTJメモリセル $1_1 \cdot 1_3$ の領域での平行磁場成分が、プログラミング対象であるMTJメモリセル 1_2 の領域での平行磁場成分よりもかなり小さいにもかかわらず、発生する。

【0039】そして、図1の実施形態では、隣接しているMTJメモリセル $1_1 \cdot 1_3$ の領域でのプログラミング障害を防止するため、補償磁場を使用することができる。このため、図1に概略的に図示したように、たとえばビット線BL3により、適当な補償電流 I_{BL3} を送る。そして、この補償電流 I_{BL3} により発生する補償磁場によって、MTJメモリセル 1_3 における平行磁場成分はほぼ解消される。同じことがMTJメモリセル 1_1 に対しても言える。

【0040】なお、場合によっては、電流磁場で付勢されるビット線BLの横に延びている別個の線SL (図9に示されているソース線SL) によって、補償磁場を発生させてもよい。

【0041】本発明による方法の他の実施形態を図2に示す。この実施形態では、図1の実施形態の場合と同様に、ビット線BL2を流れるプログラミング電流 I_{BL2} 、がMTJメモリセル $1_1 \cdot 1_3$ の領域に散乱磁場を発生させる。そして、この実施形態では、ビット線BL4、また、場合によっては、ビット線BL4とこれに隣接するビット線 (図示せず) とに電流を印加し、この電流により、電流 I_{BL2} によるビット線BL3内の散乱磁場を減少させる。これにより、ビット線BL2内のプログラミング電流 I_{BL2} により、ビット線BL3とワード線WL1との間にあるMTJメモリセル 1_3 に対する、プログラミング障害の発生を防止するようになって

いる。

【0042】なお、補償磁場を発生させる (提供する) ビット線BL4内の電流 I_{BL4} は、MTJメモリセル 1_3 内の平行散乱磁場成分が完全に消失するほどの大きさではないことが好ましい。これは、補償磁場を発生させるための電流 I_{BL4} によって、ビット線BL4とワード線WL1との間にあるMTJメモリセル 1_4 をプログラミングしてしまうことを回避するためである。すなわち、この電流 I_{BL4} は、プログラミング電流 I_{BL2} によって生じるMTJメモリセル 1_3 内の散乱磁場を弱化させられるような大きさであることが好ましい。弱化させるだけでも、実際の使用に対しては十分に効果がある。

【0043】図3は、多層系において、ビット線BL1, BL2, BL3が、ワード線WL1&2およびワード線WL3&4といかに協働するのか、を示す説明図である。すなわち、MTJメモリセル $1_1, 1_2, 1_3, 1_4$ は、それぞれ、ビット線BL1とワード線WL1&2との間、ワード線WL1&2とビット線BL2との間、ビット線BL2とワード線WL3&4との間、および、ワード線WL3&4とビット線BL3との間にある。

【0044】図4は、このような多層系の構成を示す説明図である。図4に示した実施形態 (多層系メモリセルに関する実施形態) においても、ワード線WL1とビット線BL2との間にあるMTJメモリセル 1_2 が、ワード線WL1およびビット線BL2内のプログラミング電流によりプログラミングされるとする。

【0045】この構成では、MTJメモリセル 1_3 におけるプログラミング障害は、図1の実施形態の場合と同様に、ビット線BL3内の適当な補償電流 I_{BL3} によって阻止される。すなわち、この補償電流 I_{BL3} によって発生する補償磁場により、MTJメモリセル 1_3 の領域での平行散乱磁場成分 (電流 I_{BL2} による磁場成分) を補償するようになっている。

【0046】ここで問題なのは、他の面内にある、ワード線WL1とビット線BL5との間に位置するMTJメモリセル 1_5 の状況である。MTJメモリセル 1_5 は、ビット線BL2に対し、なるほどMTJメモリセル 1_3 と同じ間隔を持っている。しかし、MTJメモリセル 1_5 には、ビット線BL2に流れるプログラミング電流 I_{BL2} のために、MTJメモリセル 1_3 の場合よりもかなり強い平行磁場成分が作用する。そして、その結果、MTJメモリセル 1_5 におけるプログラミング障害の危険は、MTJメモリセル 1_3 の場合よりもかなり大きい。

【0047】しかし、このプログラミング障害は、本発明によれば簡単に阻止できる。すなわち図4に示したように、適当な補償電流 I_{BL5} をビット線BL5を通じて送ることで、電流 I_{BL2} に基づくMTJメモリセル 1_5 内の散乱磁場を解消させるような補償磁場を発生させることが可能である。

【0048】図4に示した実施形態から、本発明による方法に従って、多層系内で電流補償を行うことがどのような意味を持っているかが明瞭に見て取れる。もちろん、補償目的のために、他の線によって補償電流を送ってもよい。

【0049】なお、本発明によれば、たとえば選択性の点で改善がみられるならば、選択線に隣接している線を通じて、選択メモリセル内でのプログラミング過程をも支援する電流を送るようにしてもよい。さらに、個々の補償電流を自動調整回路により整合させて、たとえばMRAM装置の製造の際のプロセス変動の影響をなくす（あるいは減少させる）ようにしてもよい。

【0050】また、図1の実施形態において、補償磁場を、図9に示したソース線SLやプログラミング線PRLに補償電流を流すことによって、補償磁場を発生させるようにしてもよい。また、ビット線、ソース線、プログラミング線以外の他の線を用いて補償磁場を発生させるようにしてもよい。また、図1等にしたビット線BL2の発生する平行磁場成分は、メモリセル12の層に平行な成分であってもよい。

【0051】また、本発明を、複数のメモリセルを有するMRAM装置に対するプログラミング方法であって、選択メモリセルに関わるプログラム配線に電流を流して磁場を発生させることで、その選択メモリセルのメモリ内容を書き換えるプログラミング方法において、選択メモリセルの近傍に位置するメモリセルに関わるメモリ線に補償電流を流す工程を含み、この補償電流によって、選択メモリセルのメモリ線から発生する磁場を、選択メモリセル以外のメモリセルの位置において小さくするような補償磁場を発生させるプログラミング方法である、ということもできる。

【0052】また、MRAM装置のプログラミングに関し、以下のように表現することもできる。すなわち、メモリセルを、選択メモリセルの適当なビット線BLとワード線WL（あるいは図9のアレイバリエーションではプログラミング線PRL）によってプログラミングする場合、図7ないし図9のアレイバリエーションのうちどのバリエーションをMRAM装置のメモリセルフィールドの構築のために使用するかに関係なく、それぞれ電流 I_{BL} または I_{WL} を（ワード線に）印加させねばならず、その結果これらの電流から生じる磁場が両線の交差個所において選択MTJメモリセルをプログラミングさせられる。また、図10は、この過程を概略的に示すものであり、ワード線WL1とビット線BL1、BL2、BL3との交差個所を示している。

【0053】また、本発明における補償磁場を、ビット線またはワード線あるいは隣接しているメモリセルのプログラミング線または危険性のあるメモリセルの横に延びている別個の線にじかに流れている補償電流により発生させるように設定してもよい。

【0054】また、MRAM装置には、実際には複雑な磁場分布が発生するが、この複雑な磁場分布においては、円形の磁場に関し説明する場合と基本的には同様の条件が存在していることに変わりはない

また、図1の実施形態に関し、以下のように表現することもできる。すなわち、この実施形態では、図10の装置の場合と同様に、MTJメモリセル12がビット線BL2とワード線WL1との交差部においてプログラミングされるが、これは、ワード線WL1のプログラミング電流 I_{WL} とビット線BL2のプログラミング電流 I_{BL2} とによって発生する磁場が重畳することにより生じる。また、ビット線BL2を流れる電流 I_{BL2} は、ビット線BL1・BL3とワード線WL1との交差部の領域に散乱磁場を発生させ、MTJメモリセル11・13のプログラミング障害を発生させるが、この障害は、この隣接しあうMTJメモリセル11・13の領域での平行磁場成分がプログラミング対象であるMTJメモリセル12の領域での平行磁場成分よりもかなり小さいにもかかわらず、発生する。

【0055】また、図2に示した実施形態に関し、以下のように表現することもできる。すなわち、この実施形態では、図1の実施形態の場合と同様に、ビット線BL2を流れるプログラミング電流 I_{BL2} がMTJメモリセル11・13の領域に散乱磁場を発生させ、ビット線BL4と場合によってはさらに隣接するビット線とに電流が印加され、この電流は、ビット線BL3内の電流 I_{BL2} による散乱磁場を減少させて、ビット線BL2内のプログラミング電流 I_{BL2} により、ビット線BL3とワード線WL1との間にあるMTJメモリセル13にプログラミング障害が発生しないようにする。また、図2の実施形態では、補償磁場を提供するビット線BL4内の電流 I_{BL4} は、MTJメモリセル13内の平行散乱磁場成分が完全に消失するほどの大きさではないことが好ましいが、これは、ビット線BL4とワード線WL1との間にあるMTJメモリセル14もプログラミングされるからである。また、この形態では、電流 I_{BL4} によって、プログラミング電流 I_{BL2} によって生じるMTJメモリセル13内の散乱磁場を弱化させる「にすぎない」。弱化させても実際の使用に対しては十分である。

【0056】また、本発明の要約を、MRAM装置における、望ましくないプログラミングを阻止する方法であって、補償電流により、散乱磁場に反作用する補償磁場を提供するようにした、MRAM装置における、望ましくないプログラミングを阻止する方法である、と表現することもできる。

【0057】また、図9に示した構成では、ビット線と深い関連性のある（例えば、ビット線の近くに配置され、ビット線と1対1対応しているような）ソース線（制御線）SLが、ビット線と平行に配設されている。

このような別個の線SLを、補償電流を流すために使用

することも可能である。

【0058】

【発明の効果】以上のように、本発明の方法は、メモリセルフィールド内のメモリセルがワード線またはプログラミング線とビット線との間の少なくとも1つの面内にあるMRAM装置における、望ましくないプログラミングを阻止する方法であって、選択対象のメモリセルに属するワード線とビット線とにプログラミング電流を送り、プログラミング電流が、選択対象のメモリセルに隣接している少なくとも1つのメモリセルにも、そこで散乱磁場として作用する磁場を発生させるようにした前記方法において、ワード線あるいはプログラミング線、またはビット線、または前記隣接している少なくとも1つのメモリセルの別個の線に、散乱磁場に反作用する補償磁場を提供する補償電流を流す方法である。

【0059】また、この方法では、補償電流を、選択対象のビット線の次の次のビット線に印加するようにしてもよい。なお、この場合には、補償電流をプログラミング電流よりも弱く設定することが好ましい。

【0060】また、上記の補償電流を、多層系においてワード線またはビット線に複数の面内で印加するようにしてもよい。さらに、補償電流の強さを、自動調整回路により制御するようにしてもよい。

【0061】本発明では、MRAM装置内においてプログラミング対象であるメモリセルに隣接しているメモリセルに対する散乱磁場の影響を、補償磁場を用いて回避するようになっている。

【0062】そして、本発明では、この補償磁場を、ビット線またはワード線、あるいは隣接しているメモリセルのプログラミング線、または危険性のあるメモリセルの横に延びている別個の線に、補償電流を直接的に流すことにより発生させる。従って、本発明の方法によれば、危険性のあるメモリセルでのプログラミング障害またはプログラム攪乱を確実に防止できる。

【0063】また、本発明の方法は、多層系（多層系のメモリセル）に適用すると特に有利である。というのは、多層系のメモリセルでは、個々の層が互いに近接しているために、散乱磁場の発生が特に問題となるからである。

【0064】また、本発明のプログラミング方法は、複数のメモリセルを有するMRAM装置に対するプログラミング方法であって、選択メモリセルに関わるプログラム配線に電流を流して磁場を発生させることで、その選択メモリセルのメモリ内容を書き換えるプログラミング方法において、選択メモリセルの近傍に位置するメモリセルに関わるメモリ線に補償電流を流す工程を含み、この補償電流によって、選択メモリセルのメモリ線から発生する磁場を、選択メモリセル以外のメモリセルの位置において小さくするような補償磁場を発生させる方法である。

【0065】この方法では、選択メモリセルの近傍に位置する非選択のメモリセルに関わるメモリ線に、補償電流を流すようになっている。そして、この補償電流によって、散乱磁場を、選択メモリセル以外のメモリセルの位置において小さくするような、補償磁場を発生するようになっている。

【0066】これにより、この方法では、散乱磁場の影響を補償磁場によって低減できるため、非選択メモリセルのメモリ内容を書き換えてしまうことを回避できる。

10 このため、プログラミングエラー（正しくない（不本意な）プログラミング）を低減させることが可能となる。

【0067】また、この方法では、選択メモリセルに隣接するメモリセル（隣接メモリセル）に対する散乱磁場の影響を回避するために、この隣接メモリセルにさらに隣接するメモリセル（対向メモリセル）に関わるメモリ線に、補償電流を流すようにしてもよい。この方法では、隣接メモリセルを挟んで散乱磁場の発生源（プログラム配線）とほぼ等距離にある対向メモリセルのメモリ線によって補償磁場を発生させられるため、散乱磁場の影響を抑制することが容易となる。

20 【0068】なお、この場合、補償電流を、プログラミングのための電流よりも弱く設定することが好ましい。これにより、補償磁場を小さくできるので、補償磁場によって対向メモリセル（およびその周囲のメモリセル）を不本意にプログラミングしてしまうことを回避できる。

【0069】また、この方法では、散乱磁場の影響を回避するために、複数の非選択メモリセルに関わる複数のメモリ線に、補償電流を流すようにしてもよい。このような方法は、MRAM装置が多層構造（メモリセルを積層させている構造）にある場合に、特に有効である。

30 【0070】また、この方法において、MRAM装置における各部位に対する散乱磁場をセンサーで測定し、測定値に基づいて、補償電流を流すメモリ線、および、補償電流の値（強さ・方向）を、自動調整回路によって決定（制御）するようにしてもよい。

【0071】また、この方法によってプログラミングするMRAM装置は、プログラム配線であるワード線とビット線との交点にメモリセルを有し、ワード線とビット線とでメモリセルを挟む構造であってもよい。また、ワード線とビット線とが、格子状に配置されているものでもよい。

【図面の簡単な説明】

【図1】MTJメモリセルのプログラミング障害が本発明の第1実施形態に従っていかに低減されるかを説明するための説明図である。

【図2】MTJメモリセルのプログラミング障害が本発明の第2実施形態に従っていかに低減されるかを説明するための説明図である。

50 【図3】多層系のメモリセルを示す斜視図である。

【図4】多層系のメモリセルにおけるプログラミング障害が、本発明の第3実施形態に従っていかに低減されるかを説明する概略図である。

【図5】ビット線とワード線の間にある通常のMTJメモリセルの斜視図である。

【図6】図5に示したMTJメモリセルの等価回路図である。

【図7】MRAM装置用のアレイバリエーションを示す図である。

【図8】MRAM装置用の他のアレイバリエーションを示す図である。

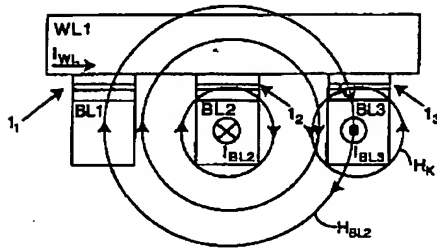
【図9】MRAM装置用のさらに他のアレイバリエーションを示す図である。

【図10】MRAM装置における、ワード線とビット線との交差個所を示す説明図である。

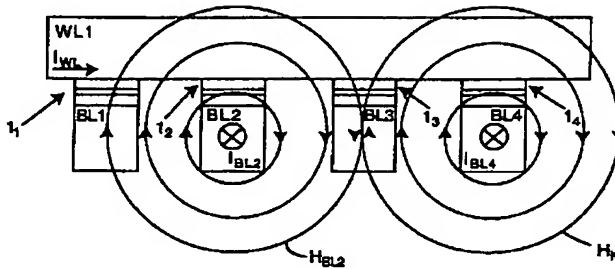
【符号の説明】

1 ; 1 ₁ , 1 ₂ , 1 ₃	MTJメモリセル
BL ; BL ₁ , BL ₂ , BL ₃	ビット線
WL ; WL ₁ , WL ₂	ワード線
R _c	MTJメモリセルの抵抗
抗	
I _{BL} , I _{BL1} , I _{BL2}	ビット線電流
I _{WL}	ワード線電流
H _{BL2}	プログラミング磁場
L	別個の線
H _K	補償磁場
WML	軟磁性層
HML	硬磁性層
TL	トンネルバリアー層
GL	ゲート線
PRL	プログラミング線

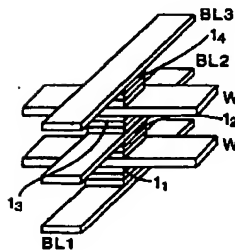
【図1】



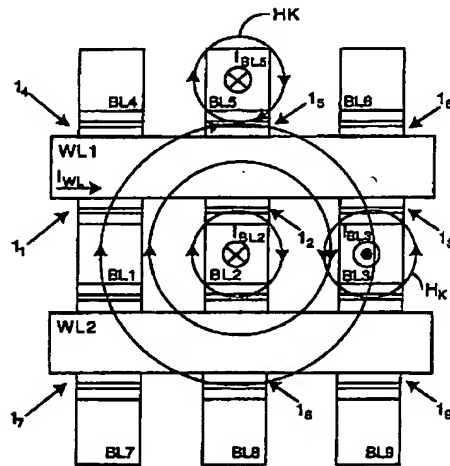
【図2】



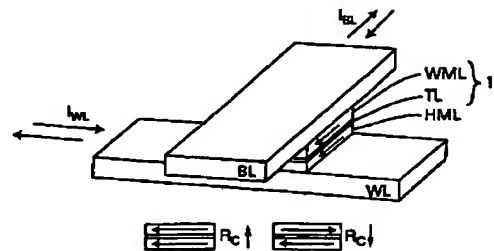
【図3】



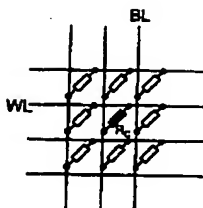
【図4】



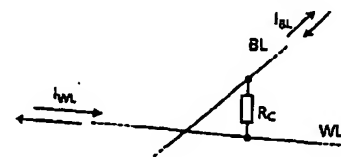
【図5】



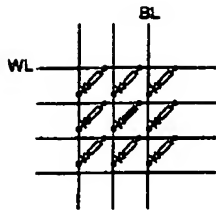
【図7】



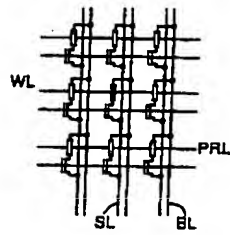
【図6】



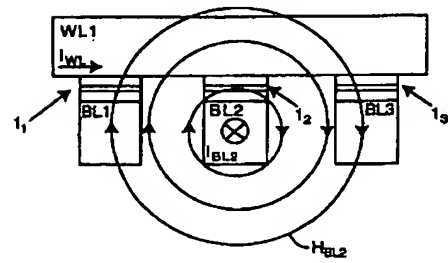
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 シュテファン, ラマーズ
アメリカ合衆国 ニューヨーク州 12533
ワッピンガースト フォールズ シャー
ウッド フォレスト 7エフ

(72)発明者 ディー.トマー, ゴーグル
アメリカ合衆国 ニューヨーク州 12524
フィッシュキル グリーンヒル ドライ
ブ 4 アパートメント 16ディー

20 (72)発明者 トーマス, ロエール
ドイツ連邦共和国 85609 アシュハイム
ガウシュリンク 8

Fターム(参考) 5F083 FZ10